

⑪ 公開特許公報 (A)

昭59-55047

⑫ Int. Cl.³
H 01 L 27/04
27/06

識別記号

庁内整理番号
C 8122-5F
6655-5F

⑬ 公開 昭和59年(1984) 3 月29日

発明の数 2
審査請求 未請求

(全 8 頁)

⑭ 半導体装置およびその製造方法

⑮ 特 願 昭57-164834

⑯ 出 願 昭57(1982) 9 月24日

⑰ 発 明 者 山本恭敬

小平市上水本町1450番地株式会

社日立製作所武蔵工場内

⑱ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑲ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置およびその製造方法

特許請求の範囲

1. 不純物が拡散されたポリシリコン層と、このポリシリコン層の表面に形成された誘電体層と、この誘電体層を挟むようにして前記ポリシリコン層に対向して形成された金属層とで構成したキャパシタを備える半導体装置において、前記ポリシリコン層はP型不純物を導入されたものとN型不純物を導入されたものを夫々独立形成し、これらと前記金属層との間で夫々独立したキャパシタを形成し、これら各キャパシタを並列接続したことを特徴とする半導体装置。
2. P型不純物を導入されたポリシリコン層とN型不純物を導入されたポリシリコン層とを並列配置し、これら両ポリシリコン層の表面に形成した酸化シリコン層上に前記両ポリシリコン層を一体的に覆うようにA層を形成してなる特許請求の範囲第1項記載の半導体装置。
3. 所定の形状に夫々独立した一対のポリシリコ

ン層を形成する工程と、一方のポリシリコン層にP型不純物の導入を行なう工程と、他方のポリシリコン層にN型不純物の導入を行なう工程と、前記各ポリシリコン層の表面に酸化シリコン層を形成する工程と、前記各ポリシリコン層上に金属層を形成してこの金属層とP型およびN型のポリシリコン層との間で、夫々、独立したキャパシタを構成する工程と、これらキャパシタを並列接続する構成を施す工程とを備える半導体装置の製造方法。

4. 一対のポリシリコン層はホトレジストをマスクとして順次的にP型不純物の導入、N型不純物の導入を行ない、その後両者を一体的に熱処理して酸化シリコン層を形成し、両者を一体的に覆う金属層を形成してなる特許請求の範囲第3項記載の半導体装置の製造方法。

5. 各ポリシリコン層の不純物の導入は、MOS FETのソース、ドレイン、形成時と同時に行なう特許請求の範囲第3項又は第4項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は容量の電圧依存性の殆んどないキャパシタを内蔵した半導体装置およびその製造方法に関するものである。

半導体装置では、回路の一部にキャパシタを能動素子と共に一体形成することが多い。半導体装置内でキャパシタを形成する方法は種々考えられるが、現在は通常第1図に示す構造のキャパシタが用いられる。このキャパシタは半導体基板1の酸化膜2上に形成したポリシリコン層(多結晶シリコン層)3を一方の電極とすると共に、その上面に設けた酸化シリコン層(SiO₂層)4を誘電体層とし、更にその上に形成したA層5を他方の電極として構成するようにしている。この場合、前記ポリシリコン層3は通常N型の不純物をドーピングして、低抵抗化を図っていることは言うまでもない。

このように構成されたキャパシタは極くわずかながら容量の電圧依存性を有している。この原因は、ポリシリコン層が半導体であることから、両電極間に印加された電圧によって所謂空乏層が生

(3)

この電圧依存性は略100 P. P. m/V程度であって、通常の電子回路の使用には特に問題は生じない。例えば、第1図に示すキャパシタが用いられる一般的な回路は第7図に示す演算増幅器OP₁を利用した積分器であり、その入出力特性は次式で表される。

$$e_o = - \frac{1}{R_1 \cdot C_1} \int e_i dt \quad \text{式(2)}$$

式(2)において、たとえ入力電圧 e_i および抵抗 R_1 の値が一定でも、入力電圧 e_i の変化に応じて容量 C_1 が変化すると、出力電圧 e_o の値は変化して不安定なものになる。しかるに、第1図のキャパシタの容量の電圧依存性は略100 P. P. m/Vであり、これに起因する出力電圧 e_o の変動は非常に小さく殆んど無視されていた。しかしながら、高々100 P. P. m/Vという微少なキャパシタの容量の電圧依存性、つまり容量の微細な変化がその回路の動作特性を決定するような影響を与える回路においては、電圧依存性を著しくはこれに近い値にまで低減することが要

(5)

成され、かつこの空乏層の状態が印加電圧の値に応じて変化するためと考えられる。このため、キャパシタの容量が電圧変化に伴って変化するという性質、つまり容量の電圧依存性を有することになる。

この容量の電圧依存性は、電圧に対する容量の変化の平均でその程度を表わすことができる。例えば、一方の電極の電位を基準とする電圧0Vとしたときに、他方の電極の電位を±5V変化させた場合の容量変化は次式で表わされる。

$$\frac{C(+5) - C(-5)}{C(0) \times 10} \times 10^6 \text{ [P. P. m/V]} \quad \text{式(1)}$$

ここで、 $C(+5)$ 、 $C(0)$ および $C(-5)$ は、前記他方の電極の電位を、夫々、+5V、0V および-5Vにしたときのキャパシタの容量を表す。

ところで、第1図に示すキャパシタは、前述のように、容量の電圧依存性を有しているが、それは極くわずかであり、通常問題にはされていなかった。実際、本発明者が行なった実験によっても、

(4)

求される。

したがって本発明の目的は電圧依存性を低減ないし零にしたキャパシタを内蔵した半導体装置を提供することにある。

また、本発明の他の目的は従来の半導体装置の製造工程を全く変えることなく本発明の半導体装置を製造することができる製造方法を提供することにある。

このような目的を達成するために本発明は、一方の電極を夫々P⁺型とN⁺型のポリシリコン層とし、これと誘電体膜および金属層とで夫々独立した2つのキャパシタを構成し、かつこれら両キャパシタを並列接続して1つのキャパシタを構成するものである。

また、本発明方法は、キャパシタの一電極であるP⁺型ポリシリコン層とN⁺型ポリシリコン層を従来の工程の一部と同時に形成し、以後は両層を一体的に熱処理してキャパシタの誘電体膜である酸化シリコン層を形成するようにしたものである。

以下本発明を詳細に説明する。

(6)

先ず本発明者は、基板上に夫々個別に P^+ 型ポリシリコン層と N^+ 型ポリシリコン層を形成し、かつこれら両ポリシリコン層を同時に酸化して接面を酸化シリコン層(SiO_2 層)を夫々形成し、更にその上に $A\delta$ 層を形成することにより2つのキャパシタを形成した。以下、便宜的に P^+ 型ポリシリコン層を電極とするものを P^+ 型キャパシタ、 N^+ 型ポリシリコン層を電極とするものを N^+ 型キャパシタと称する。次に、これらのキャパシタの電圧変化に対する容量変化を測定し、これを前述した式に代入して容量の電圧依存性を算出した。これによると、第2図(A)、(B)に示すように、 P^+ 型キャパシタでは電圧依存性が $-100 \sim -150$ P. P. m/Vとなり、 N^+ 型キャパシタでは電圧依存性が $+130 \sim +150$ P. P. m/Vとなり、 P^+ 型キャパシタと N^+ 型キャパシタとでは正負が逆でかつ絶対値が概ね等しいことが判明した。つまり、 P^+ 型キャパシタと N^+ 型キャパシタの電圧に対する容量変化は第3図のグラフに示すように負、正の傾きを有する特性となる。

(7)

た実施例であり、第4図(B)は第4図(A)のBB線に沿った断面を示す断面図である。 Q_1 は N 型チャンネルMOSFET(N -MOSFET)、 Q_2 は P 型チャンネルMOSFET(P -MOSFET)、 C はキャパシタである。前記 N -MOSFET Q_1 は N^+ 型のシリコン基板10に形成した P^+ 型ウェル11主面に N^+ 型領域をドレイン12、ソース13として構成すると共にゲート酸化層14上に形成したポリシリコン層15を低抵抗化してゲート電極として構成している。前記ドレイン12およびソース13はコンタクトホール16、17を通して $A\delta$ 配線層18、19に接続し、特にドレイン12に接続した $A\delta$ 配線層18は前記 P -MOSFET Q_2 のドレイン28に接続している。これについては後述する。図中、20は P 型チャンネルストップ、21は S 層、22はフタイナルパッシベーション層である。また、23はゲート配線である。一方、前記 P -MOSFET Q_2 は前記 N^+ 型基板10の主面に P^+ 型領域をソース24、ドレイン25として形成し、かつゲート酸化層24

(9)

したがって、これら両キャパシタを並列に接続して各キャパシタを構成すれば、両者の電圧依存性は相殺し、両図に破線で示すように電圧依存性が零のキャパシタを得ることができる。この場合、両キャパシタの特性の傾き(絶対値)が全く等しくなくとも、並列接続による相殺によって、少なくとも一つのキャパシタ単独のものよりも電圧依存性を低減することができる。

なお、第2図(A)、(B)からも判るように、 P^+ 型ポリシリコン層と N^+ 型ポリシリコン層とでは同一条件で表面を酸化して酸化シリコン層を形成しても不純物の相違によってその膜厚が異なる。したがって、同一面積でも得られる容量は相違する。しかし、これは一方の電極であるポリシリコン層の面積を予め相違させる等の手段で解決でき、また両キャパシタの容量が異なることは特に問題にならない。

次に本発明の実施例を説明する。

第4図(A)、(B)は本発明をMOS電界効果トランジスタ(FET)からなる集積回路に適用し

(8)

上に設けた P^+ 型ポリシリコン層27をゲート電極として構成している。そして、ソース24にはコンタクトホール28を通して $A\delta$ 配線層29を接続し、ドレイン25はコンタクトホール30を通して前記 $A\delta$ 配線層18を接続している。31は N 型チャンネルストップである。

前記キャパシタ C はフィールド酸化層40上に並列配置した一対のポリシリコン層32、33を有し、前者に P 型不純物を導入し、後者に N 型不純物を導入して夫々を低抵抗化し、夫々をキャパシタの一方の電極としている。これらポリシリコン層32、33の上面には誘電体膜、例えば酸化シリコン層34を形成し、更にその上にキャパシタの他方の電極としての金属層、例えば $A\delta$ 層35を前記両ポリシリコン層32、33にわたって形成している。この $A\delta$ 層35には $A\delta$ 配線層36を一体に形成し、また、前記両ポリシリコン層32、33はコンタクトホール37、38を通して夫々 $A\delta$ 配線層39に接続している。ここで、前記ポリシリコン層32、33又は $A\delta$ 層35の面積や誘

素体膜としての酸化シリコン層34の厚さは要求されるキャパシタの容量に応じて適宜に設定する。

したがって、このような構成の半導体装置では、特にキャパシタCは、第5図に等価回路図を示すようにP⁺型キャパシタCpと、N⁺型キャパシタCnとを並列に接続したものとなり、全容量は各キャパシタCp、Cnの算術和となる。

次に以上の構成になる半導体装置の製造方法を第6図(A)~(I)の工程図に従って説明する。なお、第6図(A)~(I)は第4図(B)に相当する断面を示している。各項符号は同図(A)~(I)の符号に対応させている。

(A) N⁺型シリコン基板10のN-MOSFETQ₁、構成部位にP⁺型ウエル11を形成し、このP⁺型ウエル11とN⁺型シリコン基板10のP-MOSFETQ₂、構成部位に夫々順次SiO₂膜およびSi₃N₄膜(図示せず)を形成する。このSi₃N₄膜のない領域にボロンおよびリンを夫々選択拡散してチャネルストップ20および31を形成する。次にSi₃N₄膜マスクとして基板表面を選択酸化さ

00

せ27に自己整合してボロンがドーブされソース24、ドレイン25であるP⁺型拡散領域が形成される。

(E) ホトレジストマスク41を除去した後、今度は、P-MOSFETQ₂の構成部位およびキャパシタの他方のポリシリコン層32にホトレジストマスク42を形成し、リン等を用いてN型不純物の拡散を行なう。これにより、グート(ポリシリコン層)15、ポリシリコン層33はリン処理されて低抵抗化される。同時にP⁺型ウエル11の上面には自己整合によってリンがドーブされ、ドレイン12、ソース13であるN⁺型拡散領域が形成される。

(F) ホトレジストマスク42の除去後、全面にPSG(リンシリケートガラス)層21をCVD法によって形成する。その上でキャパシタCの両ポリシリコン層32、33上面のPSG膜をホットエッチング技術により除去する。そして、露出したポリシリコン層32、33表面を酸化することにより、キャパシタCの誘電体膜としての酸化シリコ

03

ニドファイナロ酸化層(SiO₂層)40を形成する。(B) 除外のSiO₂層およびSi₃N₄層を除去した後MOSFETQ₁、Q₂の構成部位の基板表面を酸化させ、薄いグート酸化層(SiO₂層)14を形成する。(C) フィールド酸化層40およびグート酸化層14の全面にCVD法(気相化学反応法)によってポリシリコンを析出させる。そしてこれをホットエッチング技術により選択的にエッチングしてグート15、27相当部位およびキャパシタCの一方の電極部位を露し、ポリシリコン層15、27、32、33を形成する。次に露出されたグート酸化層14をエッチング除去する。

(D) N-MOSFETQ₁の構成部位およびキャパシタCを構成する一方のポリシリコン層33にホトレジストマスク41を形成し、ボロン等を用いてP型不純物の拡散を行なう。これにより、グート電極(ポリシリコン層)27、ポリシリコン層32はボロン処理されて低抵抗化される。同時にN⁺型シリコン基板10の上面にはグート電極

02

ニド層(SiO₂層)34が形成できる。(G) 各MOSFETQ₁、Q₂のソース13、24ドレイン12、25相当箇所およびキャパシタCのポリシリコン層32、33上のPSG層21にコンタクトホール16、28、17、30、37、38を形成する。なおコンタクトホール37、38は第4図(A)に示ものである。

(H) 全面にA₂層を蒸着等によって形成し、所要の形状にエッチングしてA₂配線層18、19、29、36、39および前記ポリシリコン層32、33を覆うようなA₂層35を形成する。このA₂層35の形成により、前記ポリシリコン層32および33はA₂層35と酸化シリコン層34とで夫々P型およびN型のキャパシタCpおよびCnを構成し、かつA₂配線層39によって並列接続されることになる。なおA₂層36、39は第4図(A)に示すものである。

(I) A₂配線層およびA₂層上にファイナルインパッション層22を形成し、半導体装置を完成する。

04

したがって、以上のように構成されかつ製造された半導体装置は、特にキャパシタCを第5図の等価回路に示すように P^+ 型キャパシタ C_p と N^+ 型キャパシタ C_N を並列接続した構成としているので、 P^+ 型キャパシタ C_p の容量の負の電圧依存性と N^+ 型キャパシタ C_N の容量の正の電圧依存性が互に相殺され、合成されたキャパシタCの電圧依存性は各キャパシタ C_p 、 C_N 単独のものよりも低減される。このとき、両キャパシタの電圧依存性の絶対値が等しいか又は殆んど等しければ、得られる電圧依存性は零又は零に極めて近いものとなる。これにより、キャパシタ容量変化の影響を受け易い電子回路に本発明に係るキャパシタを用いても安定した動作特性を得ることができる。

ここで、前記実施例において、キャパシタの誘電体膜として熱酸化による SiO_2 膜以外に Si_3N_4 膜あるいはCVD法による SiO_2 膜等他の誘電体膜を用いることもできる。不純物の導入方法として拡散以外にイオン打込み法を用いてもよい。また、 P^+ 型ポリシリコン層と N^+ 型ポリシリコン層

を並んで形成しているが、適宜離間配置してもよい。この場合にはA δ 層も各ポリシリコン層に対応して個別に形成することになる。また、キャパシタの並列接続は電圧依存性の正負が相殺される関係にすればよく、場合によっては3個以上のキャパシタを並列接続してもよい。

以上のように本発明の半導体装置によれば、 P^+ 型キャパシタと N^+ 型キャパシタを並列接続した構成としているので、各キャパシタの容量の正負の電圧依存性を相殺してキャパシタ全体としての電圧依存性を零ないしこれに近い値にでき、電圧依存性の殆んどないキャパシタを構成して電子回路の動作安定性の向上を図ることができる。

また、本発明の製造方法によれば、 P^+ 型ポリシリコン層と N^+ 型ポリシリコン層を個別に形成した後、両ポリシリコン層を同時処理して酸化シリコン層、金属層を形成し、しかも前記 P^+ 型、 N^+ 型の各ポリシリコン層はMOSFET等の形成と同時に形成することもできるので、従来の一般的な半導体製造工程と同一の工程若しくはその一部

09

の工程で電圧依存性の殆んどないキャパシタを構成することができるのである。

図面の簡単な説明

第1図は従来の半導体装置のキャパシタ部位の断面図。

第2図(A)、(B)は P^+ 型、 N^+ 型キャパシタの電圧依存性を示すグラフ。

第3図は電圧変化に対する容量変化の特性グラフ。

第4図(A)、(B)は本発明の半導体装置の平面図とそのBB線に沿った断面図。

第5図はキャパシタの等価回路図。

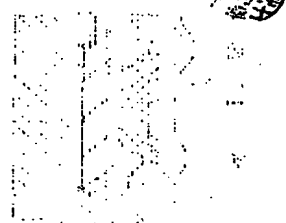
第6図(A)~(I)は製造工程図。

第7図はキャパシタを用いた演算増幅器による積分回路図である。

10... N^+ 型シリコン基板、11... P^+ 型ウェル、12...ドレイン、13...ソース、14...ゲート酸化層、15...ゲート、18、19...A δ 配線層、21...PSG層、24...ソース、25...ドレイン、27...ゲート、29...A δ 配線層、32... P^+ 型ポリシリコン層、33... N^+ 型ポリシリコン層、

34...酸化シリコン層、35...A δ 層、36、39...A δ 配線層、40...フィールド酸化層、 Q_1 ...N-MOSFET、 Q_2 ...P-MOSFET、C...キャパシタ、 C_p ... P^+ 型キャパシタ、 C_N ... N^+ 型キャパシタ。

代理人 弁理士 海田利雄

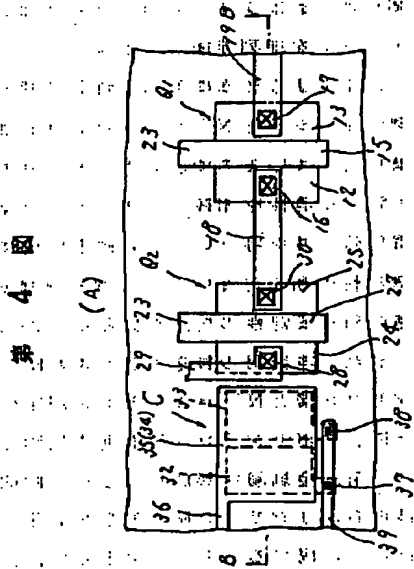


07

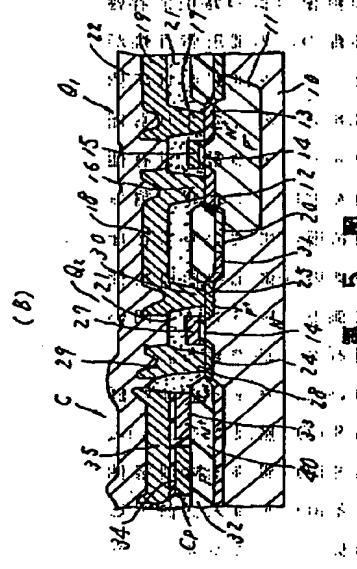
-219-

08

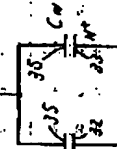
BEST AVAILABLE COPY



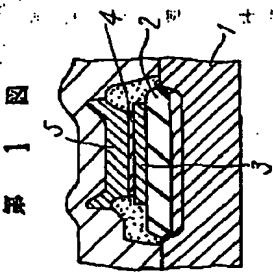
第4図 (A)



(B)

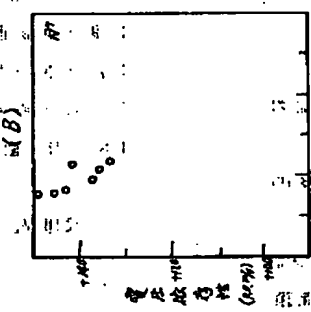


第5図

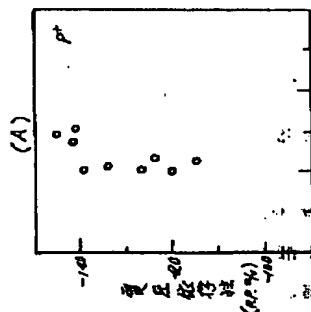


第1図

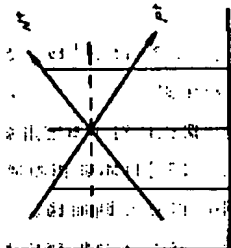
第2図 (A)



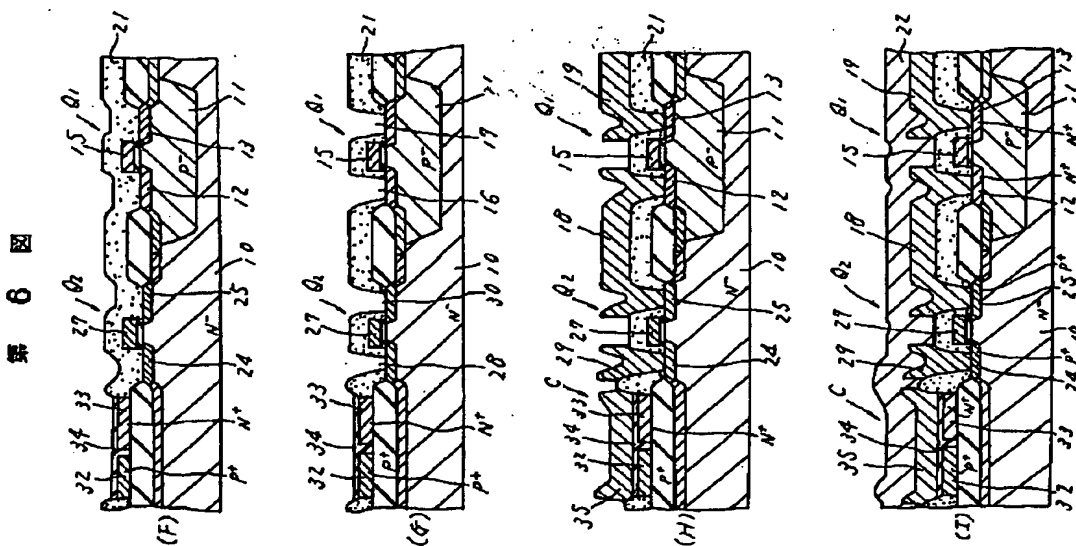
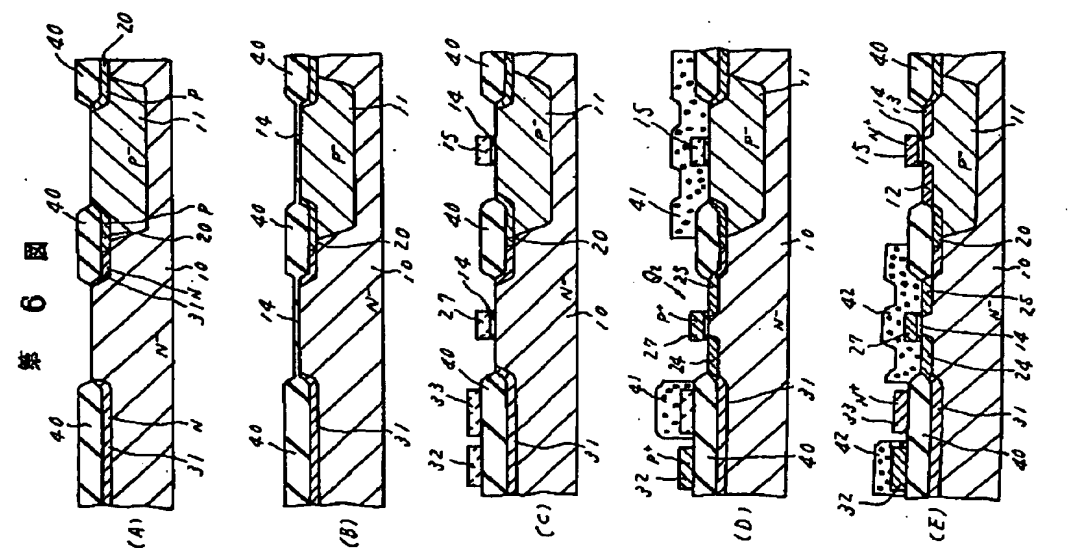
第2図 (B)



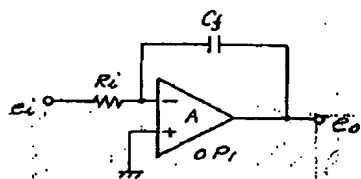
第3図



第 6 圖



第 7 図



21 AVAILABLE COPY